

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

8754813

Basic Patent (No,Kind,Date): JP 1144139 A2 890606 <No. of Patents: 001>

SEQUENTIAL ADDRESS GENERATOR (English)

Patent Assignee: DAIKIN IND LTD

Author (Inventor): UEDA TOMOAKI

IPC: *G06F-012/00; G06F-012/02; G06F-015/64; G11C-008/00

JAPIO Reference No: 130403P000007

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1144139	A2	890606	JP 87303738	A	871130 (BASIC)

Priority Data (No,Kind,Date):

JP 87303738 A 871130

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02846539 ***Image available**

SEQUENTIAL ADDRESS GENERATOR

PUB. NO.: 01-144139 [JP 1144139 A]

PUBLISHED: June 06, 1989 (19890606)

INVENTOR(s): UEDA TOMOAKI

APPLICANT(s): DAIKIN IND LTD [000285] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 62-303738 [JP 87303738]

FILED: November 30, 1987 (19871130)

INTL CLASS: [4] G06F-012/00; G06F-012/02; G06F-015/64; G11C-008/00

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 45.4
(INFORMATION PROCESSING -- Computer Applications)

JOURNAL: Section: P, Section No. 929, Vol. 13, No. 403, Pg. 7,
September 07, 1989 (19890907)

ABSTRACT

PURPOSE: To realize a memory access at high speed by producing the access address data to the continuous areas of a memory by performing an arithmetic operation via a processor.

CONSTITUTION: A clock signal CCK is produced based on thee specific address data Xp received from a CPU 1 and an up-counter 4 and a ternary ring counter 5 have their contents varying successively based on the signal CCK.

Thus it is not required for the CPU 1 to calculate the actual access address data and the sequential access address data that can be automatically changed is obtained just with output of the data Xp. Then the accesses are carried out successively to plural continuous memory areas. As a result, the time required to a memory access as a whole can be shortened.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-144139

⑫ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月6日

G 06 F 12/00

3 0 4

F-8841-5B

12/02

K-8841-5B

15/64

4 5 0

G-8419-5B

G 11 C 8/00

3 1 3

7341-5B

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 シーケンシャルアドレス生成装置

⑮ 特 願 昭62-303738

⑯ 出 願 昭62(1987)11月30日

⑰ 発 明 者 上 田 智 章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内

⑱ 出 願 人 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル

⑲ 代 理 人 弁理士 津 川 友 士

明 細 書

1. 発明の名称

シーケンシャルアドレス生成装置

2. 特許請求の範囲

1. 外部から初期値データが供給され、かつ、クロック信号(CCK)が供給される毎に内容が順次変化させられるカウント手段(4)と、外部から所定のアドレスデータ(XL)、(Xk)が供給されることにより、アドレスデータ供給回数に基づいて定まる時間間隔でクロック信号(CCK)を生成し、カウント手段(4)に供給するクロック生成手段(5)とを具備することを特徴とするシーケンシャルアドレス生成装置。

2. クロック生成手段が、デコーダ(6)、およびn回のリングカウンタ(4)から構成されているとともに、デコーダ(6)が、外部から所定のアドレスデータ(XL)が供給される毎にリングカウンタ(4)に供給す

るクロック信号(RCK)を生成し、かつ、n回クロック信号(RCK)が供給される毎にリングカウンタ(4)から出力される信号、および外部から供給される所定のアドレスデータ(XL)を入力としてカウント手段(4)に供給するクロック信号(CCK)を生成するものである上記特許請求の範囲第1項記載のシーケンシャルアドレス生成装置。

3. デコーダ(6)が、外部から供給されるアドレスデータ(Xs)、(Xk)、(Xl)に対応して、全くクロック信号(CCK)を生成しない動作状態、アドレスデータ供給毎にカウント手段(4)に対するクロック信号(CCK)を生成する状態、およびn回のアドレスデータ供給毎にカウント手段(4)に対するクロック信号(CCK)を生成する状態を選択するものである上記特許請求の範囲第2項記載のシーケンシャルアドレス生成装置。

4. n進のリングカウンタ(4)が、初期状態を予め設定されているものである上記特許請求の範囲第1項記載のシーケンシャルアドレス生成装置。

5. カウント手段がアップカウンタ(4)である上記特許請求の範囲第1項記載のシーケンシャルアドレス生成装置。

3. 発明の詳細な説明 ＜産業上の利用分野＞

この発明はシーケンシャルアドレス生成装置に関し、さらに詳細に言えば、メモリの所定領域についてシーケンシャルアクセスを行なう場合に、特別に演算を行なうことなく、順次変化するアドレスデータを生成するための、新規なシーケンシャルアドレス生成装置に関する。

＜従来の技術、および発明が解決しようとする問題点＞

従来から、ラスタスキャン型グラフィック・ディスプレイ装置においては、一般的に第5図に示すように、上位プロセッサ(COX)に対して通信ユ

ニット(ENP)を介してメモリ管理プロセッサ(MNP)を接続し、メモリ管理プロセッサ(MNP)との間で図形データの授受を行なうセグメントメモリ(SBP)を設けている。そして、上記セグメントメモリ(SBP)から読出した図形データを入力とし、かつマトリクス処理モジュール(MUL)との間におけるデータの授受を行なう画像処理プロセッサ(DSP)を設けており、画像処理プロセッサ(DSP)からの出力データをクリッププロセッサ(CLIP)、および描画プロセッサ(DPU)を通して直線補間演算器(DDA)に供給し、直線補間演算器(DDA)から出力されるx、y座標データをそのままフレームメモリ(FM)に供給している。さらに、上記フレームメモリ(FM)の内容をディスプレイ装置(CRT)に供給することにより、図形データを可視的に表示するようにしている。

そして、上記セグメントメモリ(SBP)より上位の部分を通常のプロセッサで構成するとともに、画像処理ユニット(DSP)より下位の部分をビットスライスプロセッサで構成することにより、図形

データ授受のためのデータ通信負荷を可能な限り低減させるとともに、セグメントメモリ(SBP)に格納された図形データに対する表示のための処理速度を高速化するようにしている。

また、上記の一般的構成を有するラスタスキャン型インテリジェント・グラフィック・ディスプレイ装置においては、フレームメモリ(FM)のカラーlookupアップテーブル(以下、LUTと略称する)に対するデータの供給を、描画プロセッサ(DPU)ではなく、セグメントメモリ(SBP)の管理を行なうメモリ管理プロセッサ(MNP)により行なわせる構成を採用し、描画プロセッサ(DPU)による高速ぬりつぶし処理を達成するようにしていた。

上記メモリ管理プロセッサ(MNP)によるLUTに対するデータの供給動作について詳細に説明する。

先ず、LUTに対するデータ供給は、表示のちらつきを防止するために、CRTディスプレイ装置(図示せず)のブランキング期間中にのみ行なわせなければならないのであるから、メモリ管理

プロセッサ(MNP)における命令実行サイクルが長い場合には、水平ブランキング期間中におけるデータ供給は殆ど、或は全く行なわれず、垂直ブランキング期間中におけるデータ供給が著しく大きなウェイトを占めることになる。さらに詳細に説明すると、上記メモリ管理プロセッサ(MNP)としてCISC(Complicated Instruction Set Computer)を使用した場合には、ソフトウェアに基く命令実行サイクルが長いのであるから水平ブランキング期間中におけるLUTに対するデータ供給を行なうことは不可能であり、垂直ブランキング期間中にのみデータ供給を行なわなければならない。この結果、例えば、LUTに対して4096色分のデータを供給するために必要とされる垂直ブランキング回数が多くなるため、数秒程度の時間が必要となり、例えば、グラフィック・ディスプレイ装置を立上げてから所望の色彩が施された図形の表示を行なうまでの所要時間が長くなってしまふという問題がある。また、表示する図形毎にLUTの内容を異ならせるようにユーザ指定が

行なわれている場合には、表示する図形を変化させるに当って同様に表示図形変更のための所要時間が長くなってしまふ。

逆に、上記メモリ管理プロセッサ(MMP)としてRISC(Reduced Instruction Set Computer)を使用した場合には、ソフトウェアに基く命令実行サイクルが短くなるのであるが、LUTにおいては、R、G、Bという3要素に基いて多数の色データを設定する関係上、1つの色データを設定する場合に、例えば第6図に示すように、R、G、Bの各領域に対してデータを順次供給しなければならない。したがって、アドレスデータの下位ビットを変化させることなく、R、G、Bの順にチップセレクトを循環させるためのアドレッシングを行なうことが必要になるので、アドレッシングのためかなりのステップ数が必要になり、1ステップ当りの命令実行サイクルが短くても、アドレッシングのために必要なステップ数の命令を実行する場合の所要時間がかなり長くなってしまい、全体として余り高速化することができないので、

CISCを使用した場合と同様の問題を有することになる。即ち、R、G、Bそれぞれについてみれば、4096色分のデータを格納するのであるから、 2^{12} 個のアドレッシングを行なえばよいのであるが、色の要素の種類は3種類であるから、2の累乗で表現できるアドレッシングにはならない。したがって、プロセッサにより各色要素に対応するアドレスデータを算出しなければならないことになり、所要時間が長くなってしまふのである。

また、以上には、LUTに対してデータを順次供給する場合におけるアドレッシングについて説明したが、ハッチングメモリに対するアクセスを行なう場合、或は、フォントメモリに対するアクセスを行なう場合等においても同様の問題がある。即ち、ハッチングパターンデータ、或はフォントパターンデータ等についても、1回のメモリアクセスにより転送できるビット数よりも著しく多いビット数のデータであるから、連続するメモリ領域に対して複数回のアクセスを行なわなければな

らないにも拘らず、アクセスの都度アクセスアドレスデータを算出することが必要になり、アクセスアドレスデータの算出所要時間が長いことに起因して、メモリアクセス全体としての所要時間が長くなってしまふのである。

<発明の目的>

この発明は上記の問題点に鑑みてなされたものであり、プロセッサによる演算を行なわせることなくメモリの連続領域に対するアクセスアドレスデータを生成することができるシーケンシャルアドレス生成装置を提供することを目的としている。

<問題点を解決するための手段>

上記の目的を達成するための、この発明のシーケンシャルアドレス生成装置は、外部から初期値データが供給され、かつ、クロック信号が供給される毎に内容が順次変化させられるカウント手段と、外部から所定のアドレスデータが供給されることにより、アドレスデータ供給回数に基いて定まる時間間隔でクロック信号を生成し、カウント手段に供給するクロック生成手段とを具備してい

る。

但し、上記カウント手段が、デコーダ、およびn進のリングカウンタから構成されているとともに、デコーダが、外部から所定のアドレスデータが供給される毎にリングカウンタに供給するクロック信号を生成し、かつ、n回クロック信号が供給される毎にリングカウンタから出力される信号、および外部から供給される所定のアドレスデータを入力としてカウント手段に供給するクロック信号を生成するものであることが好ましい。

この場合において、上記デコーダとしては、外部から供給されるアドレスデータに対応して、全くクロック信号を生成しない動作状態、アドレスデータ供給毎にカウント手段に対するクロック信号を生成する状態、およびn回のアドレスデータ供給毎にカウント手段に対するクロック信号を生成する状態を選択するものであることが好ましい。

また、上記リングカウンタとしては、初期状態を予め設定されているものであることが好ましい。

さらに、上記カウント手段としては、アップカ

ウンタであってもよい。

<作用>

以上の構成のシーケンシャルアドレス生成装置であれば、クロック生成手段に対して外部から所定のアドレスデータが供給されれば、アドレスデータ供給回数に基づいて定まる時間間隔でクロック信号を生成し、カウント手段に供給する。そして、カウント手段においては、クロック信号が供給されたことを条件として、外部から供給された初期値を基準として内容が順次変化させられるのであるから、カウント手段の内容を出力することにより、順次変化するアドレスデータ、即ち、シーケンシャルアドレスデータを得ることができる。

そして、上記カウント手段が、デコード、および n 進のリングカウンタから構成されているとともに、デコードが、外部から所定のアドレスデータが供給される毎にリングカウンタに供給するクロック信号を生成し、かつ、 n 回クロック信号が供給される毎にリングカウンタから出力される信号、および外部から供給される所定のアドレスデ

ータを入力としてカウント手段に供給するクロック信号を生成するものである場合には、外部から所定のアドレスデータが供給される毎にデコードによりクロック信号を生成して n 進のリングカウンタに供給するので、リングカウンタの内容を順次変化させることができ、クロック信号が n 回リングカウンタに供給される毎に所定の信号をデコードに供給する。そして、リングカウンタからの信号、および所定のアドレスデータがデコードに供給されることにより、デコードからカウント手段に供給するクロック信号を生成する。したがって、所定のアドレスデータが n 回供給される毎に、順次変化するアドレスデータを得ることができる。

この場合において、上記デコードが、外部から供給されるアドレスデータに対応して、全くクロック信号を生成しない動作状態、アドレスデータ供給毎にカウント手段に対するクロック信号を生成する状態、および n 回のアドレスデータ供給毎にカウント手段に対するクロック信号を生成する状態を選択するものである場合には、外部から供

給されるアドレスデータに対応して、クロック信号を生成せず、したがって、シーケンシャルアドレスデータを全く生成しない状態、アドレスデータ供給毎にクロック信号を生成し、アドレスデータ供給と1対1の関係で順次変化するシーケンシャルアドレスデータを生成する状態、および、 n 回のアドレスデータ供給毎にクロック信号を生成し、アドレスデータ供給と n 対1の関係で順次変化するシーケンシャルアドレスデータを生成する状態を選択することができる。

また、上記リングカウンタが、初期状態（例えば、実施例に示すように、Rチップセレクト信号を出力する状態）を予め設定されているものである場合には、初期状態によりシーケンシャルアドレスデータ生成のタイミングが影響される不都合を解消して、正確なタイミングでシーケンシャルアドレスデータを生成することができる。

さらに、上記カウント手段がアップカウンタである場合には、順次増加するシーケンシャルアドレスデータを生成することができる。

即ち、少なくとも複数回のメモリアクセスを連続する複数のメモリ領域に対して行なう必要がある場合には、連続する複数のメモリ領域の先頭アドレスデータをカウント手段に予め供給しておき、この状態を基準としてクロック生成手段に対して所定のアドレスデータを供給すれば、アドレスデータの供給に基づいて所定のタイミングでクロック信号が生成され、カウント手段に供給されるので、カウント手段の内容が順次増加させられる。したがって、カウント手段の内容を取出すことにより、所望のシーケンシャルアドレスを生成し、連続する複数のメモリ領域に対するアクセスを順次行なわせることができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第1図はこの発明のシーケンシャルアドレス生成装置の一実施例を示すブロック図であり、アクセスアドレスデータを生成することによりメモリアクセスを行なうとともに、プログラムにより定

められた手順に従って必要な処理を行なう中央演算装置（以下、CPUと略称する）(1)と、内部データバス(2)と、内部アドレスバス(3)と、シーケンシャルアドレスデータを生成するアップカウンタ(4)と、LUTメモリチップセレクト信号を生成する3通リングカウンタ(5)と、アドレスデータを選択するセレクト(6)と、上記内部データバス(2)を図示しない外部データバスと接続するバッファ(7)と、上記アップカウンタ(4)、3通リングカウンタ(5)、セレクト(6)、およびバッファ(7)に対してそれぞれ制御信号を供給するデコーダ(8)とを有している。

さらに詳細に説明すると、上記CPU(1)は、プログラムにより定められたステップにおいて所定のアドレスデータ(Xp)を生成し、内部アドレスバス(3)に送出する。

上記デコーダ(8)は、内部アドレスバス(3)を通してCPU(1)から供給されるアドレスデータ(Xp)に対応するデコード信号を生成し、アップカウンタ(4)、3通リングカウンタ(5)、セレクト(6)、およびバッファ(7)に対して制御信号として供給するも

メモリ（図示せず）に対するアクセスを行なうべきことを示す値(Xs)である場合には、セレクト(6)に対して、内部アドレスバス(3)からの出力データを選択する選択信号(SS)を供給する。尚、上記バッファ(7)に対しても入出力イネーブル信号を供給することにより、内部データバス(2)と外部データバスとの間におけるデータの授受を行なわせる。

上記アップカウンタ(4)は、デコーダ(8)からロード信号が供給された状態においてCPU(1)から内部データバス(2)を通して初期値データ(CTAD)が供給されることにより、シーケンシャルアクセスを行なうべきメモリ領域の先頭アドレスデータが設定され、その後、デコーダ(8)からカウンタクロック信号(CCK)が供給される毎に内容が1ずつ増加させられる。

上記3通リングカウンタ(5)は、予め設定された初期状態（例えば、Rチップセレクト信号(RCS)を出力する状態）に設定されるとともに、その後、デコーダ(8)からクロック信号(RCK)

のである。具体的には、例えば、上記アドレスデータ(Xp)がLUT（図示せず）に対するアクセスを行なうべきことを示す値(XL)である場合には、アドレスデータ(XL)が供給される毎に3通リングカウンタ(5)に対してクロック信号を供給し、3通リングカウンタ(5)からもBチップセレクト信号(BCS)（第2図E参照）が供給される毎にアップカウンタ(4)に対してカウンタクロック信号(CCK)（第2図J参照）を供給し、さらに、セレクト(6)に対して、アップカウンタ(4)からの出力データを選択する選択信号(SS)（第2図E参照）を供給する。また、上記アドレスデータ(Xp)がフロントメモリ（図示せず）に対するアクセスを行なうべきことを示す値(Xt)である場合には、アドレスデータ(Xt)が供給される毎にアップカウンタ(4)に対してカウンタクロック信号(CCK)を供給するとともに、セレクト(6)に対して、アップカウンタ(4)からの出力データを選択する選択信号(SS)を供給する。さらに、上記アドレスデータ(Xp)がシステム

（第2図K参照）が供給される毎に、LUTメモリのうち、Rチップ、Gチップ、およびBチップを順次選択するセレクト信号を循環的に出力する。そして、Bチップセレクト信号(BCS)がそのままデコーダ(8)に供給される。

上記セレクト(6)は、CPU(1)から出力されるアドレスデータ、或はアップカウンタ(4)から出力されるアドレスデータを選択的に外部アドレスバス（図示せず）に送出する。

上記シーケンシャルアドレス生成装置の動作は次のとおりである。

所定の時間間隔でメモリアクセスストローブ信号(STB)（第2図A参照）が出力されているとともに、CPU(1)から、先ずアップカウンタ(4)に対して初期値を設定するために割当てられたアドレスデータ(X1)を出力し、次いでLUTに対するアクセスのために割当てられたアドレスデータ(XL)を必要回数だけ順次出力する（第2図B参照）。尚、上記の動作を行なう場合には、LUTに対するアクセスを許可すべくLUT制御

信号(LUTCS)(第2図C参照)を出力するとともに、上記アクセスがデータの書き込みであるか、読み出しであるかを示す選択信号(RWCS)(第2図D参照)を出力する。

上記のように各信号が出力されるのであるから、アドレスデータ(XI)が出力されたタイミングでデコーダ4からアップカウンタ4)に対してロード信号が供給され、内部データバス2)を通して初期値(CTAD)がセットされる。

アップカウンタ4)に対して初期値(CTAD)がセットされた後は、ブランキング期間であることがCPU(1)により検出されたタイミングで、CPU(1)からアドレスデータ(XL)が必要回数出力されるのであるから、第1回目にアドレスデータXLが供給されたタイミングでLUT制御信号(LUTCS)、および選択信号(SS)をローレベルとする。この状態においては、3進リングカウンタ4)からRチップセレクト信号(RCS)(第2図F参照)が出力されているのであるから、LUTメモリのRチップ(図示せず)に対して、

アップカウンタ4)の初期値(CTAD)がアクセスアドレスデータとして供給され、CPU(1)から内部データバス2)、バッファ7)、および外部データバスを通して送出されるデータ(DR)(第2図M参照)がRチップに対して書き込まれる。次に同一のアドレスデータ(XL)が供給されれば、アップカウンタ4)の内容がそのままに保持されるとともに、3進リングカウンタ4)からGチップセレクト信号(GCS)(第2図G参照)が出力されるのであるから、LUTメモリのGチップ(図示せず)に対して、アップカウンタ4)の初期値(CTAD)がアクセスアドレスデータとして供給され、CPU(1)から内部データバス2)、バッファ7)、および外部データバスを通して送出されるデータ(DG)(第2図M参照)がGチップに対して書き込まれる。もう一度同一のアドレスデータ(XL)が供給されれば、アップカウンタ4)の内容がそのままに保持されるとともに、3進リングカウンタ4)からBチップセレクト信号(BCS)(第2図H参照)が出力されるのであるから、L

UTメモリのBチップ(図示せず)に対して、アップカウンタ4)の初期値(CTAD)がアクセスアドレスデータとして供給され、CPU(1)から内部データバス2)、バッファ7)、および外部データバスを通して送出されるデータ(DB)(第2図M参照)がBチップに対して書き込まれる。

その後、同一のアドレスデータ(XL)が供給されれば、メモリアクセストロブ信号(STB)、およびBチップセレクト信号(BCS)が共にローレベルであるという条件が充足されている条件下においてのみローレベルになるカウンタクロック信号(CCK)が立上るので、アップカウンタ4)の内容が"1"だけ増加させられる(第2図I参照)。そして、上記と同様に3進リングカウンタ4)から順次チップセレクト信号(RCS)(GCS)(BCS)が出力され、各チップの同一アドレスに対するデータ(DR)(DG)(DB)の書き込みを行なうことができる。

以上の説明から明らかなように、CPU(1)においては何らアドレスデータの算出動作を行なう必

要がなく、単にLUTに対するアクセス用として割当てられているアドレスデータを出力しながら書き込み用のデータを出力するだけでよく、データ書き込み所要時間を著しく短縮することができる。したがって、CRTディスプレイ装置におけるスキャンラインが1024本であり、しかも、LUTに対して4096色分のデータを格納するようにした場合には、水平ブランキング期間中にデータの書き込みを行なわせることにより、4フレーム分の表示を行なう間にLUTに対するデータの書き込みを完了することができ、立上りから図形表示までの所要時間を著しく短縮することができるとともに、1スキャンライン分の描画を行なっている間における色の変化を防止することができ、ちらつきを確実に防止することができる。

また、LUTの内容はユーザが指定するものであり、例えば、表示する図形毎に異なる内容のLUTを使用する場合においても、表示図形を変更した場合において実際に図形が表示されるまでの所要時間を著しく短縮することができる。

また、CPU(1)からアドレスデータ(Xs)が供給された場合には、デコーダ(4)からの選択信号によりセクタ(6)を通して上記アドレスデータ(Xs)がそのまま出力され、CPU(1)により算出されたアクセスアドレスデータに基づくメモリアクセスが行なわれる。

<実施例2>

第3図は他の実施例を示すブロック図であり、上記実施例と異なる点は、リードオンリーメモリファイル(以下、ROMファイルと略称する)(91)(92)…(9n)を設けてアップカウンタ(4)から出力されるシーケンシャルアドレスデータが供給されるようにしている点、アップカウンタ(4)からのシーケンシャルアドレスデータを入力として各ROMファイル(91)(92)…(9n)に対して選択信号を供給するデコーダ(4)を設けている点、および各ROMファイル(91)(92)…(9n)からデータが読出されるローカルデータバス(11)と内部データバス(2)との間に接続され、かつデコーダ(4)により入出力イネーブル信号が供給されるバッファ(12)を設け

ている点のみである。

したがって、この実施例の場合にも、上記実施例と同様にしてLUTに対するシーケンシャルアクセス、CPU(1)により算出されたアクセスアドレスデータに基づくメモリアクセスを行なわせることができるほか、以下のようにしてROMファイル(91)(92)…(9n)に対するアクセスを行なわせることができる。

即ち、ROMファイル(91)(92)…(9n)に対するアクセスを行なわせる場合には、第4図に示すように、LUTに対するアクセスを行なわせる場合と同様にCPU(1)から内部データバス(2)を通して初期値(CTAD)が供給され、アップカウンタ(4)に対する初期設定が行なわれる。その後は、上記実施例におけるアドレスデータ(XL)に代えてアドレスデータ(Xk)を連続的にCPU(1)からデコーダ(4)に供給すればよく、第4図に示すように、アドレスデータ(Xk)がデコーダ(4)に供給される毎にアップカウンタ(4)に対してカウンタクロック信号(CCK)を供給して、順次1ずつ

増加するアドレスデータを生成することができ、生成されたアドレスデータに基づくROMファイルアクセスを行なうことができる。

したがって、少なくとも複数回のメモリアクセスを行なう必要があるハッチングパターンデータ、フォントパターンデータ等について、ROMファイル(91)(92)…(9n)をアクセスすべきシーケンシャルデータを生成し、ROMファイル(91)(92)…(9n)に対するシーケンシャルアクセスを行なうことができる。

尚、第4図A、B、C、D、Eはそれぞれ第2図A、B、C、D、Eに対応し、第4図F、G、Hはそれぞれ第2図J、L、Mに対応している。

また、以上の説明から明らかなように、アクセス所要時間が長いROMを使用するシステムに適用する場合であっても、ウェイト制御回路を設けることは全く必要でなく、単にNOPステップをプログラム中に設けるだけで対処でき、全体としてシステム構成、およびプログラムを簡素化することができる。

さらに、上記何れの実施例においても、CPU(1)のアドレス空間の消費を著しく少なくすることができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、LUT、ハッチングパターンメモリ、フォントメモリ以外のメモリに対しても、少なくとも複数下位のシーケンシャルアクセスを行なう必要があるものについて同様に適用することが可能であるほか、メモリ構成に対応させて、アップカウンタに代えてダウンカウンタを使用することが可能であり、その他、この発明の要旨を変更しない範囲内において種々の設計変更を施すことが可能である。

<発明の効果>

以上のようにこの発明は、CPUから出力される特定のアドレスデータに基づいてクロック信号を生成し、クロック信号に基づいて内容が順次変化するカウント手段を設けているのであるから、CPUにおいて実際のアクセスアドレスデータを算出する必要がなく、単に特定のアドレスデータを出

力するだけで、自動的に変化させられるシーケンシャルアクセスアドレスデータを生成することができ、複数回のシーケンシャルアクセスの所要時間を著しく減少させることができるという特有の効果を奏する。

4. 図面の簡単な説明

第1図はこの発明のシーケンシャルアドレス生成装置の一実施例を示すブロック図、

第2図は第1図のシーケンシャルアドレス生成装置の動作を説明するタイミングチャート、

第3図は他の実施例を示すブロック図、

第4図は第3図のシーケンシャルアドレス生成装置の動作を説明するタイミングチャート、

第5図はラスタスキャン型グラフィック・ディスプレイ装置の概略構成を示すブロック図、

第6図はLUTの構成、およびアクセスアドレスデータの関係を示す概略図。

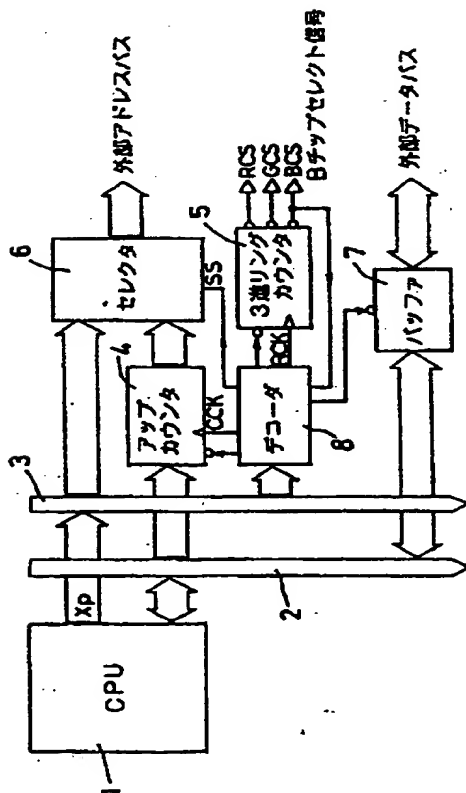
(4) … アップカウンタ、(5) … 3進リングカウンタ、
(6) … デコード、

(Xp) (Xl) (Xk) … アドレスデータ、
(CCK) … カウンタクロック信号、
(BCS) … Bチップセレクト信号、
(RCK) … クロック信号

特許出願人 ダイキン工業株式会社

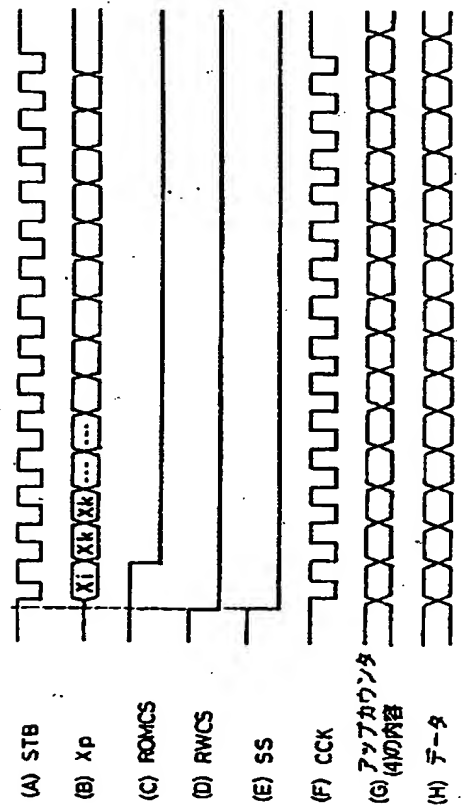
代理人 弁理士 津 川 友 士

第1図

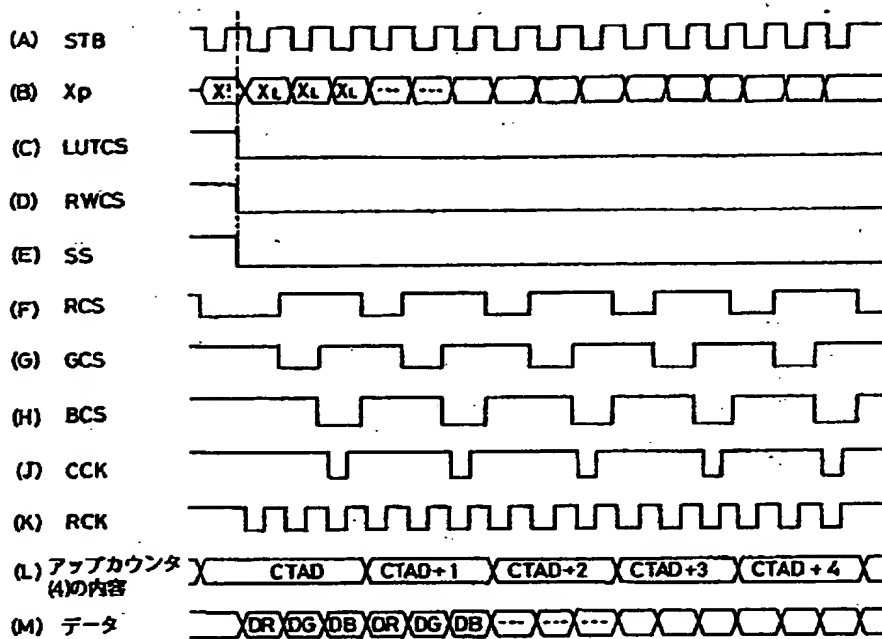


674

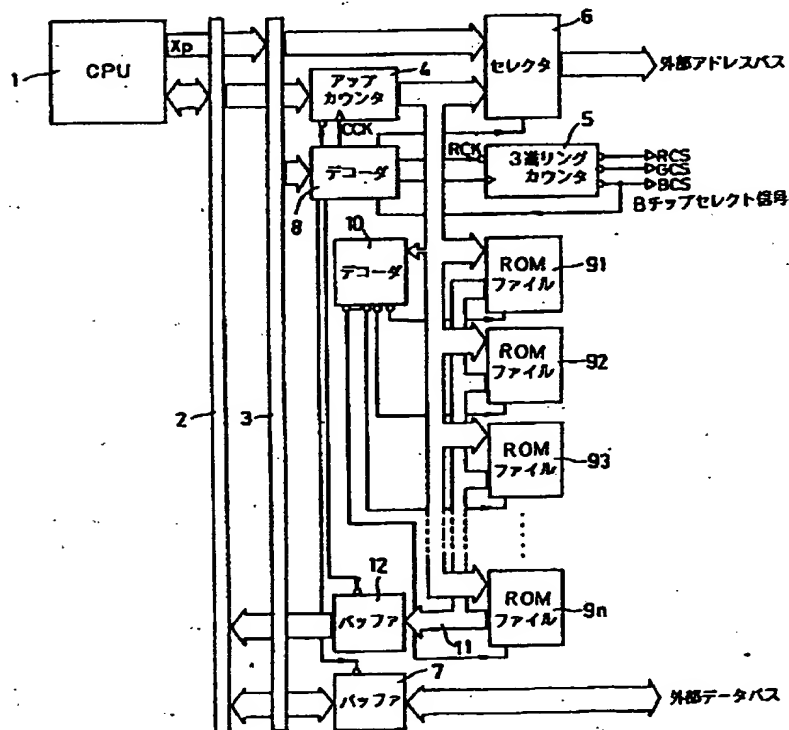
第4図



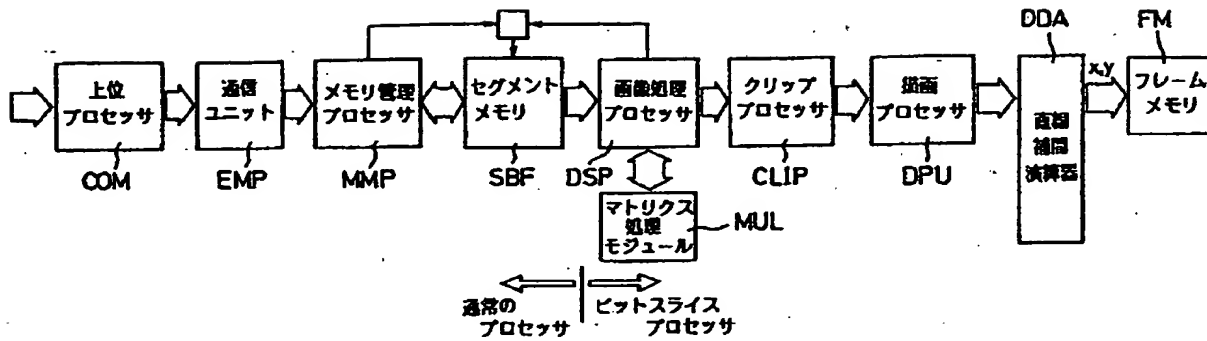
第 2 図



第 3 図



第 5 図



第 6 図

